

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-243631

(43)Date of publication of application : 29.08.2003

(51)Int.Cl.

H01L 27/105
G06K 19/06
G06K 19/07
G06K 19/077
G11C 11/14
G11C 11/15
H01L 43/08

(21)Application number : 2002-040093

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.02.2002

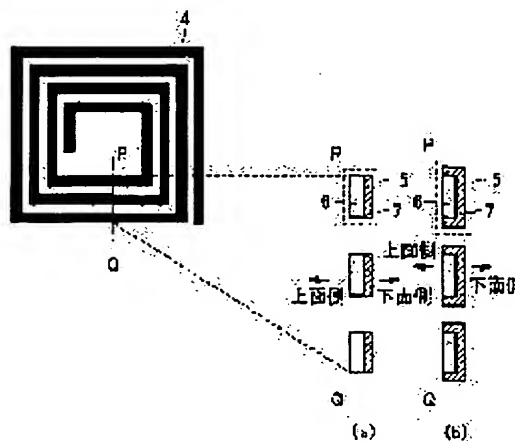
(72)Inventor : OISHI TSUKASA

(54) THIN FILM MAGNETIC STORAGE DEVICE AND RADIO CHIP, DISTRIBUTION MANAGEMENT SYSTEM AND MANUFACTURING PROCESS MANAGEMENT SYSTEM USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin film magnetic storage device reduced in size and power consumption and equipped with a radio communication facility, and a radio chip, a distribution management system and a manufacturing process management system using the same.

SOLUTION: A thin film magnetic storage device comprises an antenna section 4 for transmitting/receiving radio waves to/from the outside. An inductance wire 5 making up the antenna section 4 has a metal wire 6 and a magnetic film 7 formed in accordance with the bottom or both bottom and side of the metal wire 6. The magnetic film 7 can be manufactured in an original manufacturing process of the thin film magnetic storage device without introducing a dedicated manufacturing process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-243631

(P2003-243631A)

(43) 公開日 平成15年8月29日 (2003.8.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
H 0 1 L	27/105	G 1 1 C 11/14	A 5 B 0 3 5
G 0 6 K	19/06	11/15	5 F 0 8 3
	19/07	H 0 1 L 43/08	Z
	19/077	27/10	4 4 7
G 1 1 C	11/14	G 0 6 K 19/00	B

審査請求 未請求 請求項の数17 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2002-40093(P2002-40093)

(22) 出願日 平成14年2月18日 (2002.2.18)

(71) 出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5B035 AA05 BB02 BB09 CA11 CA23

5F083 FZ10 JA37 JA40 LA12 LA16

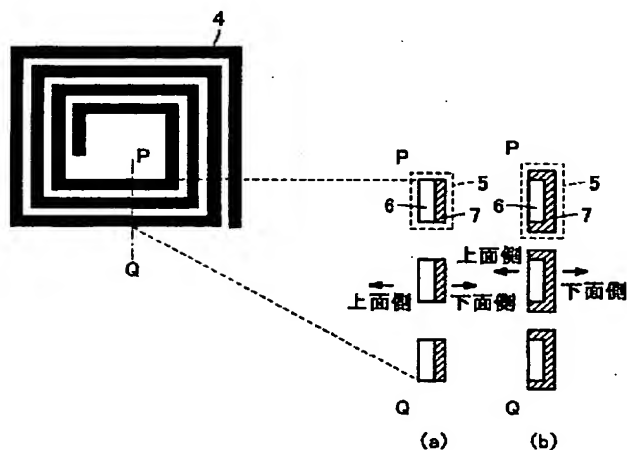
NA08 PR40 ZA12 ZA30

(54) 【発明の名称】 薄膜磁性体記憶装置ならびにそれを用いた無線チップ、流通管理システムおよび製造工程管理システム

(57) 【要約】

【課題】 小型化および低消費電力化が図られ、かつ無線通信機能を備えた薄膜磁性体記憶装置ならびにそれを用いた無線チップ、流通管理システムおよび製造工程管理システムを提供する。

【解決手段】 薄膜磁性体記憶装置は、外部との電波を送受信するためのアンテナ部4を備える。アンテナ部4を構成するインダクタンス配線5は、金属配線6と、その下面部または、その下面部および側面部に対応して形成された磁性体膜7とを有する。磁性体膜7は、専用の製造工程を設けることなく、薄膜磁性体記憶装置の本来の製造工程内にて作製される。



1

【特許請求の範囲】

【請求項 1】 基板上に形成された薄膜磁性体記憶装置であって、
前記基板上に形成された導電性配線と、
前記基板上において、前記導電性配線の下層側において、前記導電性配線の少なくとも直下部に対応して選択的に形成された第 1 の磁性体膜とを備える、薄膜磁性体記憶装置。

【請求項 2】 前記第 1 の磁性体膜は、前記導電性配線の側面部に対応してさらに形成される、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 3】 前記導電性配線はループ形状に形成される、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 4】 各々が、磁気的に記憶データを保持するための第 2 の磁性体膜を有する複数の磁性体メモリセルをさらに備え、
前記第 2 の磁性体膜は、前記複数の磁性体メモリセルの作成工程において、前記導電性配線の上層側にも形成される、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 5】 各々が、磁気的に記憶データを保持するための第 2 の磁性体膜を有する複数の磁性体メモリセルが配置されたメモリアレイ部と、
前記メモリアレイに対して前記記憶データを読み出しおよび書き込むためのアレイ周辺回路部と、
ループ形状に形成された前記導電性配線によって構成されるアンテナ部と、
前記アンテナ部によって受信される電波に基づいて、前記アレイ周辺回路部への動作指示を生成するための周辺回路部とをさらに備える、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 6】 前記周辺回路部は、前記アンテナ部と前記アレイ周辺回路部との間に設けられ、前記アンテナ部によって送受信される電波を用いて、前記メモリアレイから読み出された記憶データおよび前記メモリアレイへ書き込まれる記憶データを外部との間で授受するための送受信部を含む、請求項 5 に記載の薄膜磁性体記憶装置。

【請求項 7】 前記周辺回路部は、前記電波によって前記導電性配線に生じる誘導電流を源に、前記薄膜磁性体記憶装置の動作電源電圧を生成する電源制御部を含む、請求項 5 に記載の薄膜磁性体記憶装置。

【請求項 8】 前記複数の磁性体磁性体メモリセルの作製工程において、前記第 2 の磁性体膜は、前記アンテナ部に対応する領域に対しても同一層に平面状に形成される、請求項 5 に記載の薄膜磁性体記憶装置。

【請求項 9】 前記複数の磁性体磁性体メモリセルの作製工程において、前記第 2 の磁性体膜は、前記アンテナ部に対応する領域、前記アレイ周辺回路部に対応する領域、および前記周辺回路部に対応する領域においても同一層に平面状に形成される、請求項 5 に記載の薄膜磁性体記憶装置。

2

【請求項 10】 前記複数の磁性体メモリセルへ前記記憶データを書込むための書き込み信号配線をさらに備え、
前記書き込み信号配線および前記導電性配線は、前記第 1 の磁性体膜の上層に同一工程で形成され、
前記第 1 の磁性体膜は、前記導電性配線および前記書き込み信号配線のそれぞれに対して同様に、少なくとも直下部に対応して形成される、請求項 5 に記載の薄膜磁性体記憶装置。

【請求項 11】 前記アレイ周辺回路部および前記周辺回路部に対応する領域において、前記書き込み信号配線および前記導電性配線と同一層に形成される配線に対して、前記第 1 の磁性体膜は非形成とされる、請求項 10 に記載の薄膜磁性体記憶装置。

【請求項 12】 前記アレイ周辺回路部および前記周辺回路部に対応する領域において、前記書き込み信号配線および前記導電性配線と同一層に形成される配線に対しても、前記第 1 の磁性体膜は、前記書き込み選択配線および前記導電性配線と同様に形成される、請求項 10 に記載の薄膜磁性体記憶装置。

【請求項 13】 外部との間で送受信される電波に応じて、記憶データを非接触に読み出しおよび書き込み可能な無線チップであって、

基板上に形成された薄膜磁性体記憶装置を備え、
前記薄膜磁性体記憶装置は、
磁気的に前記記憶データを保持するための複数の磁性体メモリセルが配置されたメモリアレイ部と、
前記メモリアレイに対するデータ読み出しおよびデータ書き込みを実行するためのアレイ周辺回路部と、
導電性配線によって構成されるアンテナ部と、
前記アンテナ部によって送受信される電波を用いて、前記メモリアレイから読み出された記憶データおよび前記メモリアレイへ書き込まれる記憶データを外部との間で授受するための周辺回路部を含む、無線チップ。

【請求項 14】 流通管理システムであって、
流通品に一体に埋め込まれたタグチップと、
前記流通品の管理データの照合および登録を行なうためのデータベース部と、前記タグチップから前記管理データを非接触に読み出して、読み出した管理データを前記データベースに対して照合するための管理データ読み出し装置と、

前記管理データを前記タグチップへ非接触に書き込むとともに、書き込まれた管理データを前記データベースに登録するための管理データ書き込み装置とを備え、
前記タグチップは、磁気的に前記管理データを保持するための複数の磁性体メモリセルが配置されたメモリアレイ部を有する薄膜磁性体記憶装置を含み、
前記薄膜磁性体記憶装置は、
前記メモリアレイに対するデータ読み出しおよびデータ書き込みを実行するためのアレイ周辺回路部と、

少なくとも下面側が磁性体膜で覆われた導電性配線によ

3

って構成されるアンテナ部と、
前記アンテナ部で受信された電波によって前記導電性配線に生じる誘導電流を源に前記タグチップの動作電源電圧を生成する電源制御部と、
前記アンテナ部によって、前記管理データ読出装置および前記管理データ書込装置との間で送受信される電波に基づいて、前記メモリアレイ部に記憶された前記管理データの読出および書込を、前記アレイ周辺回路部へ指示するための送受信部とを含む、流通管理システム。

【請求項15】 製造工程管理システムであって、
所定の複数の製造工程を経由する半製品に付加されたIDチップと、
各前記製造工程において、前記IDチップとの間で工程管理データを非接触に授受するための工程管理装置とを備え、
前記IDチップは、磁氣的に前記工程管理データを保持するための複数の磁性体メモリセルが配置されたメモリアレイ部を有する薄膜磁性体記憶装置を含み、
前記薄膜磁性体記憶装置は、
前記メモリアレイに対するデータ読出およびデータ書込
10 を実行するためのアレイ周辺回路部と、
少なくとも下面側が磁性体膜で覆われた導電性配線によって構成されるアンテナ部と、
前記アンテナ部で受信された電波によって前記導電性配線に生じる誘導電流を源に前記薄膜磁性体記憶装置の動作電源電圧を生成する電源制御部と、
前記アンテナ部によって前記工程管理装置との間で送受信される電波に基づいて、前記メモリアレイ部に記憶された前記工程管理データの読出および書込を、前記アレイ周辺回路部に対して指示するための送受信部とを含む、製造工程管理システム。

【請求項16】 前記半製品が前記所定の複数の製造工程の全てを経由した場合に、前記IDチップは除去される、請求項15に記載の製造工程管理システム。

【請求項17】 除去された前記IDチップは、前記工程管理データを再登録された後に、他の半製品へ付加される、請求項16に記載の製造工程管理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、磁性体膜および
40 通信機能を備えた薄膜磁性体記憶装置ならびにそれを用いた無線チップ、流通管理システムおよび製造工程管理システムに関する。

【0002】

【従来の技術】 低消費電力で不揮発的なデータの記憶が可能な記憶装置として、MRAM (Magnetic Random Memory) デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

4

【0003】 特に、近年では磁気トンネル接合 (MTJ : Magnetic Tunnel Junction) を利用した薄膜磁性体をメモリセルとして用いることによって、MRAM デバイスの性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたMRAM デバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. および “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等の技術文献に開示されている。

【0004】 図17は、トンネル接合部を有するメモリセル (以下、単にMTJメモリセルとも称する) の構成を示す概略図である。

【0005】 図17を参照して、MTJメモリセルは、磁氣的に書込まれた記憶データのデータレベルに応じて電気抵抗が変化するトンネル磁気抵抗素子TMRと、アクセストランジスタATRとを含む。アクセストランジスタATRは、ビット線BLおよびソース線SLとの間に、トンネル磁気抵抗素子TMRと直列に接続される。代表的には、アクセストランジスタATRとして、電界効果トランジスタが適用される。

【0006】 MTJメモリセルに対しては、データ書込時およびデータ読出時においてデータ書込電流およびデータ読出電流をそれぞれ流すためのビット線BLと、データ書込時にデータ書込電流を流すためのライトディジット線WDLと、データ読出を指示するためのワード線WLと、データ読出時にトンネル磁気抵抗素子TMRを接地電圧GNDにプルダウンするためのソース線SLとが配置される。

【0007】 データ読出時においては、アクセストランジスタATRのターンオンに応答して、トンネル磁気抵抗素子TMRは、ソース線SL (接地電圧GND) およびビット線BLの間に電氣的に結合される。

【0008】 図18は、MTJメモリセルに対するデータ書込動作を説明する概念図である。

【0009】 図18を参照して、トンネル磁気抵抗素子TMRは、固定された磁化方向を有する磁性体層 (以下、単に固定磁化層とも称する) FLと、データ書込電流によって生じるデータ書込磁界に応じた方向に磁化される磁性体層 (以下、単に自由磁化層とも称する) VLとを有する。固定磁化層FLおよび自由磁化層VLの間には、絶縁体膜で形成されるトンネルバリアTBが設けられる。自由磁化層VLは、書込まれる記憶データのレベルに応じて、固定磁化層FLと同一方向または反対方向に磁化される。

【0010】 トンネル磁気抵抗素子TMRの電気抵抗は、固定磁化層FLおよび自由磁化層VLの間の磁化方向の相対関係によって変化する。具体的には、固定磁化

5

層FLおよび自由磁化層VLの間で磁化方向が揃っている場合には、両者の磁化方向が反対である場合に比べて、電気抵抗は小さくなる。

【0011】データ書込時においては、ワード線WLが非活性化されて、アクセストランジスタATRはターンオフされる。この状態で、自由磁化層VLを磁化するためのデータ書込電流は、ビット線BLおよびライトディジット線WDLのそれぞれにおいて、書込データのレベルに応じた方向に流される。すなわち、自由磁化層VLの磁化方向は、ビット線BLおよびライトディジット線WDLをそれぞれ流れるデータ書込電流の向きによって決定される。

【0012】図19は、データ書込電流とMTJメモリセルの磁化状態との関係を示す概念図である。

【0013】図19を参照して、横軸に示される磁界 H_x は、ライトディジット線WDLを流れるデータ書込電流によって生じる磁界 $H(WDL)$ の方向を示す。一方、縦軸に示される磁界 H_y は、ビット線BLを流れるデータ書込電流によって生じる磁界 $H(BL)$ を示す。

【0014】自由磁化層VLの磁化方向は、磁界 $H(WDL)$ と $H(BL)$ との和が、図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ更新される。すなわち、データ書込を実行するためには、ライトディジット線WDLおよびビット線BLの両方に、所定強度を超える磁界を生じさせるに十分なデータ書込電流を流す必要がある。

【0015】一方、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁化層VLの磁化方向は変化しない。すなわち、ライトディジット線WDLおよびビット線BLの一方のみに所定のデータ書込電流を流す場合には、データ書込は実行されない。MTJメモリセルに一旦書込まれた磁化方向、すなわち記憶データレベルは、新たなデータ書込が実行されるまでの間不揮発的に保持される。アステロイド特性線に示されるように、自由磁化層VLに対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値が下げることができる。

【0016】図20は、MTJメモリセルからのデータ読出動作を説明する概念図である。図20を参照して、データ読出時においては、アクセストランジスタATRは、ワード線WLの活性化に回答してターンオンする。これにより、トンネル磁気抵抗素子TMRは、接地電圧GNDでプルダウンされた状態でビット線BLと電気的に結合される。この状態で、ビット線BLおよびトンネル磁気抵抗素子TMRを含む電流経路にデータ読出電流 I_s を流すことにより、トンネル磁気抵抗素子TMRの電気抵抗に応じた、すなわちMTJメモリセルの記憶データのレベルに応じた電圧変化を、ビット線BLに生じさせることができる。たとえば、ビット線BLを所定電

6

圧にプリチャージした後にデータ読出電流 I_s の供給を開始すれば、ビット線BLの電圧を検知することによって、MTJメモリセルの記憶データを読出すことができる。

【0017】図21は、半導体基板上に作製されたMTJメモリセルの構造図である。図21を参照して、半導体基板SUB上に形成されたアクセストランジスタATRは、n型領域であるソース/ドレイン領域310および320と、ゲート330とを有する。ソース/ドレイン領域310は、コンタクトホール341に形成される金属膜を介して、ソース線SLと電気的に結合される。

【0018】ライトディジット線WDLは、ソース線SLの上層に設けられた金属配線層に形成される。トンネル磁気抵抗素子TMRは、ライトディジット線WDLの上層側に配置される。トンネル磁気抵抗素子TMRは、ストラップ345およびコンタクトホール340に形成された金属膜を介して、アクセストランジスタATRのソース/ドレイン領域320と電気的に結合される。ストラップ345は、トンネル磁気抵抗素子TMRをアクセストランジスタATRと電気的に結合するために設けられ、導電性の物質で形成される。

【0019】ビット線BLは、トンネル磁気抵抗素子TMRと電気的に結合されて、トンネル磁気抵抗素子TMRの上層側に設けられる。既に説明したように、データ書込時においては、ビット線BLおよびライトディジット線WDLの両方にデータ書込電流を流す必要がある。一方、データ読出時においては、ワード線WLをたとえば高電圧状態に活性化することによって、アクセストランジスタATRがターンオンする。これにより、アクセストランジスタATRを介して接地電圧GNDにプルダウンされたトンネル磁気抵抗素子が、ビット線BLと電気的に結合される。

【0020】データ書込電流およびデータ読出電流が流されるビット線BLおよびデータ書込電流が流されるライトディジット線WDLは、金属配線層を用いて形成される。一方、ワード線WLは、アクセストランジスタATRのゲート電圧を制御するために設けられるので、電流を積極的に流す必要はない。したがって、集積度を高める観点から、ワード線WLは、独立した金属配線層を新たに設けることなく、ゲート330と同一の配線層に、ポリシリコン層やポリサイド層などを用いて形成されるのが一般的である。

【0021】図22は、図21に示した構造を有するMTJメモリセルの上面図である。図22を参照して、MTJメモリセルは、メッシュ状に配されたワード線WLおよびビット線BLの交点に対応して配置される。各MTJメモリセル中のトンネル磁気抵抗素子TMRは、図21に示したように、コンタクトホール342を介して対応するビット線BLと接続されている。

【0022】

【発明が解決しようとする課題】一方、小型化され、非接触なデータ読出および書込が可能な記憶装置として、ループアンテナ等による外部との無線通信機能と、不揮発性記憶装置によるデータ記憶機能とを搭載した、いわゆる無線チップが開発されている。

【0023】特開平8-315247号公報には、このような無線チップをデータキャリアとして用いた商品管理方法が開示されている。このような商品管理方法において、無線チップは、商品の製造、販売、保守等に関する管理データを書込まれて、当該商品等に内蔵される。すなわち、商品の流通過程において、データキャリアとして用いられる無線チップに対して、記憶データの読出あるいは追加書込、訂正を行なうことによって、流通販売、検査、査察等を効率的に行なうことが可能である。

【0024】また、特開2000-57282公報や特開2000-59260公報に開示されるように、このような無線チップは、いわゆる非接触型ICカードとしても用いることができる。

【0025】一般的に、このような無線チップにおいては、内部に搭載される不揮発性記憶装置として、EEPROM (electrically erasable programmable read only memory) や、フラッシュEEPROMが用いられている。しかしながら、これらのメモリは、データ書換動作やデータ消去動作に比較的高電圧を必要とするため、内部での発生電力が制限される無線チップへの搭載は、望ましいとはいえない。すなわち、より低消費電力化された無線チップの開発が望まれている。

【0026】また、無線チップにおいて通信能力を向上、すなわち通信可能な距離を伸ばすためには、アンテナ部分のインダクタンス値を確保する必要がある。このため、従来の無線チップにおいては、通信能力とチップサイズとがトレードオフの関係にあり、その小型化が困難であった。この結果、特に、紙質製品等の薄膜形状の対象物に対して、無線チップを適用することが困難であった。

【0027】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、小型化および低消費電力化が図られた、外部との間で非接触なデータ通信が可能な薄膜磁性体記憶装置ならびにそれを用いた無線チップ、流通管理システムおよび製造工程管理システムを提供することである。

【0028】

【課題を解決するための手段】この発明の局面に従えば、基板上に形成された薄膜磁性体記憶装置であって、基板上に形成された導電性配線と、基板上において、導電性配線の下層側において、導電性配線の少なくとも直下部に対応して選択的に形成された第1の磁性体膜とを備える。

【0029】好ましくは、第1の磁性体膜は、導電性配線の側面部に対応してさらに形成される。

【0030】また、好ましくは、導電性配線はループ形状に形成される。好ましくは、薄膜磁性体記憶装置は、各々が、磁氣的に記憶データを保持するための第2の磁性体膜を有する複数の磁性体メモリセルをさらに備える。第2の磁性体膜は、複数の磁性体メモリセルの作成工程において、導電性配線の上層側にも形成される。

【0031】また好ましくは、薄膜磁性体記憶装置は、各々が、磁氣的に記憶データを保持するための第2の磁性体膜を有する複数の磁性体メモリセルが配置されたメモリアレイ部と、メモリアレイに対して記憶データを読み出しおよび書込むためのアレイ周辺回路部と、ループ形状に形成された導電性配線によって構成されるアンテナ部と、アンテナ部によって受信される電波に基づいて、アレイ周辺回路部への動作指示を生成するための周辺回路部とをさらに備える。

【0032】さらに好ましくは、周辺回路部は、アンテナ部とアレイ周辺回路部との間に設けられ、アンテナ部によって送受信される電波を用いて、メモリアレイから読出された記憶データおよびメモリアレイへ書込まれる記憶データを外部との間で授受するための送受信部を含む。

【0033】また、さらに好ましくは、周辺回路部は、電波によって導電性配線に生じる誘導電流を源に、薄膜磁性体記憶装置の動作電源電圧を生成する電源制御部を含む。

【0034】あるいは、さらに好ましくは、複数の磁性体磁性体メモリセルの作製工程において、第2の磁性体膜は、アンテナ部に対応する領域に対しても同一層に平面状に形成される。

【0035】また、さらに好ましくは、複数の磁性体磁性体メモリセルの作製工程において、第2の磁性体膜は、アンテナ部に対応する領域、アレイ周辺回路部に対応する領域、および周辺回路に対応する領域においても同一層に平面状に形成される。

【0036】あるいは、さらに好ましくは、薄膜磁性体記憶装置は、複数の磁性体メモリセルへ記憶データを書込むための書込信号配線をさらに備え、書込信号配線および導電性配線は、第1の磁性体膜の上層に同一工程で形成される。第1の磁性体膜は、導電性配線および書込信号配線のそれぞれに対して同様に、少なくとも直下部に対応して形成される。

【0037】特にこのような構成においては、アレイ周辺回路部および周辺回路に対応する領域において、書込信号配線および導電性配線と同一層に形成される配線に対して、第1の磁性体膜は非形成とされる。

【0038】また、特にこのような構成においては、アレイ周辺回路部および周辺回路に対応する領域において、書込信号配線および導電性配線と同一層に形成される配線に対しても、第1の磁性体膜は、書込選択配線および導電性配線と同様に形成される。

【0039】この発明の他の局面に従えば、外部との間で送受信される電波に応じて、記憶データを非接触に読出および書込可能な無線チップであって、基板上に形成された薄膜磁性体記憶装置を備える。薄膜磁性体記憶装置は、磁気的に記憶データを保持するための複数の磁性体メモリセルが配置されたメモリアレイ部と、メモリアレイに対するデータ読出およびデータ書込を実行するためのアレイ周辺回路部と、導電性配線によって構成されるアンテナ部と、アンテナ部によって送受信される電波を用いて、メモリアレイから読出された記憶データおよびメモリアレイへ書込まれる記憶データを外部との間で授受するための周辺回路部とを含む。

【0040】この発明のさらに他の一つの局面に従えば、流通管理システムであって、流通品に一体に埋め込まれたタグチップと、流通品の管理データの照合および登録を行なうためのデータベース部と、タグチップから管理データを非接触に読出して、読出した管理データをデータベースに対して照合するための管理データ読出装置と、管理データをタグチップへ非接触に書込むとともに、書込まれた管理データをデータベースに登録するための管理データ書込装置とを備える。タグチップは、磁気的に管理データを保持するための複数の磁性体メモリセルが配置されたメモリアレイ部を有する薄膜磁性体記憶装置を含む。薄膜磁性体記憶装置は、メモリアレイに対するデータ読出およびデータ書込を実行するためのアレイ周辺回路部と、少なくとも下面側が磁性体膜で覆われた導電性配線によって構成されるアンテナ部と、アンテナ部で受信された電波によって導電性配線に生じる誘導電流を源にタグチップの動作電源電圧を生成する電源制御部と、アンテナ部によって、管理データ読出装置および管理データ書込装置との間で送受信される電波に基づいて、メモリアレイ部に記憶された管理データの読出および書込を、アレイ周辺回路部へ指示するための送受信部とを含む。

【0041】この発明のさらに別の局面に従えば、製造工程管理システムであって、所定の複数の製造工程を経由する半製品に付加されたIDチップと、各製造工程において、IDチップとの間で工程管理データを非接触に授受するための工程管理装置とを備える。IDチップは、磁気的に工程管理データを保持するための複数の磁性体メモリセルが配置されたメモリアレイ部を有する薄膜磁性体記憶装置を含む。薄膜磁性体記憶装置は、メモリアレイに対するデータ読出およびデータ書込を実行するためのアレイ周辺回路部と、少なくとも下面側が磁性体膜で覆われた導電性配線によって構成されるアンテナ部と、アンテナ部で受信された電波によって導電性配線に生じる誘導電流を源に薄膜磁性体記憶装置の動作電源電圧を生成する電源制御部と、アンテナ部によって工程管理装置との間で送受信される電波に基づいて、メモリアレイ部に記憶された工程管理データの読出および書込

を、アレイ周辺回路部に対して指示するための送受信部とを含む。

【0042】好ましくは、半製品が所定の複数の製造工程の全てを経由した場合に、IDチップは除去される。

【0043】また好ましくは、除去されたIDチップは、工程管理データを再登録された後に、他の半製品へ付加される。

【0044】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示すものとする。

【0045】【実施の形態1】図1は、本発明の実施の形態1に従う薄膜磁性体記憶装置1Aの構成を示す概略ブロック図である。

【0046】図1を参照して、実施の形態1に従う薄膜磁性体記憶装置1Aは、不揮発的なデータ記憶を実行するためのMRAM部2と、MRAM部2と外部との間におけるデータ授受を制御するための周辺回路部3と、外部との間で電波を送受信するためのアンテナ部4とを備える。アンテナ部4は、チップ外周部にループ状に形成されたインダクタンス配線5によって形成される。周辺回路部3は、アンテナ部4によって外部との間で送受信される電波に基づいて、MRAM部2の動作を制御する。

【0047】図2は、図1に示されたインダクタンス配線の配置および構造を示す概念図である。

【0048】図2を参照して、アンテナ部4を構成するインダクタンス配線5は、ループ状に形成される。図2中の(a)、(b)には、インダクタンス配線の構造例を示すためのP-Q断面図が示される。

【0049】図2(a)を参照して、インダクタンス配線5は、導電性材料として形成された金属配線6と、金属配線6の下部に形成された磁性体膜7とを有する。あるいは、図2(b)を参照して、インダクタンス配線5は、金属配線6と金属配線6の側面部および下面部に対応して形成された磁性体膜7とを有する。このように、インダクタンス配線5は、その下面部もしくは下面部および側面部を磁性体膜7で覆われているので、金属配線6を流れる電流によって生じる磁束を磁性体膜7のシールドによって閉じ込めることができる。この結果、インダクタンス配線5のインダクタンス値を増大させることができる。

【0050】このように、インダクタンス値が増大した配線を用いてアンテナ部を形成することにより、配線長、すなわち配線ループ数を少なくしても、通信能力を確保したアンテナを形成することができる。このため、同一の通信能力を有するアンテナ部を、より小型に形成することが可能になる。このため、通信機能を有する薄膜磁性体記憶装置の小型化を図ることができる。なお、後ほど詳細に説明するように、薄膜磁性体記憶装置の製

造においては、メモリアレイ部10において、磁性体膜の製造工程が必然的に含まれるため、この製造工程を利用すれば、特別の専用工程を新たに設けることなく、アンテナとして用いるためのインダクタンス値の大きいインダクタンス配線を作製することができる。

【0051】再び図1を参照して、MRAM部2は、図17に示したのと同様の構成を有するMTJメモリセルが行列状に配されたメモリアレイ部10と、メモリアレイ部10に対するデータ読出およびデータ書込動作を実行するためのメモリ周辺回路部11とを含む。

【0052】周辺回路部3は、変復調／セキュリティ部12と、送受信部13と、電源制御部14とを含む。電源制御部14は、アンテナ部4に受信された電波によってインダクタンス配線5に生じた誘導電流を源として、薄膜磁性体記憶装置1Aの動作電源電圧を発生させるとともに、その電圧レベルを制御する。送受信部13は、アンテナ部4を介して、MRAM部2への動作指示およびMRAM部2に対する入出力データを、外部との間で送受信する。

【0053】変復調／セキュリティ部12は、送受信部13によって受信された信号の復調、および送受信部13から送信される信号の変調を行なう。さらに、変復調／セキュリティ部12は、送受信部13によって送受信される信号に対して、セキュリティ確保のためのデータ処理を実行して、MRAM部2に対する動作指示を生成する。動作指示には、MRAM部2で実行されるべきコマンドを示す指示や、アドレス信号に相当するアドレス選択指示が含まれる。すなわち、MRAM部2への動作指示は、変復調／セキュリティ部12によって復調された信号に含まれる、外部からの指示に基づいて実行される。

【0054】図3は、図1に示された周辺回路部3の構成を詳細に説明するためのブロック図である。

【0055】図3を参照して、電源制御部14は、電源配線15と、整流器16と、リファレンス生成回路17と、シャントレギュレータ18と、電源検出回路19とを含む。電源配線15は、薄膜磁性体記憶装置1Aの内部回路群へ、動作電源電圧である内部電源電圧 V_{cc} を伝達する。整流器16は、アンテナ部4を構成するインダクタンス配線5に生じた誘導電流を直流変換する。リファレンス生成回路17は、半導体のバイポーラアクションを利用して、バンドギャップに基づいて基準電圧 V_{pr} を高精度に生成する。たとえば、基準電圧 V_{pr} は、約1.3V程度に設定される。シャントレギュレータ18は、整流器16によって直流電流に変換された誘導電流を源に、基準電圧 V_{pr} に基づいた内部電源電圧 V_{cc} を電源配線15に生成する。

【0056】電源検出回路19は、電源配線15の電圧レベルが所定レベルに達しているかどうかを検出する。すなわち、内部電源電圧 V_{cc} が所定レベル以上である

場合には、薄膜磁性体記憶装置1Aは回路動作が保証されるので、電源検出回路19は、通常の内部回路動作を許可する信号を生成する。一方、外部からの電波が途絶えて、誘導電流を源とする内部電源電圧 V_{cc} が所定レベルを下回ると、電源検出回路19は、通常の内部回路動作を中止して、MRAM部2内のデータ保護を指示するための信号を生成する。

【0057】送受信部13は、通信コントロール回路20と、キャリア抽出回路21と、送信回路22とを有する。通信コントロール回路20は、アンテナ部4を介した外部との間での電波の送受信を制御する。具体的には、通信コントロール回路20は、電波の送受信タイミングの制御を主に行なう。たとえば、通信コントロール回路20は、外部からの電波受信期間には、アンテナ部4からの電波の送信の停止させる。また、通信コントロール回路20は、外部への電波送信時には、外部からデータ受信体制が整ったことの通知を受けてから、送信を開始させる。キャリア抽出回路21は、アンテナ部4に受信された電波からキャリア信号 S_c （周波数 f_c ）を抽出する。送信回路22は、外部に送信される電波を、アンテナ部4に対して送出する。

【0058】変復調／セキュリティ部12は、発振器23と、同期調整回路24と、データ処理回路25と、復調回路26と、変調回路27とを有する。

【0059】発振器23は、基準周波数 f_o の基準クロックを発生する。同期調整回路24は、たとえばフェーズロックドループ（PLL）で形成され、発振器23によって生成された基準クロックをもとに、キャリア信号 S_c と同期したクロック信号 CK_c を生成する。同期調整されたクロック信号 CK_c は、復調回路26および変調回路27に伝達される。

【0060】復調回路26は、クロック信号 CK_c を用いて、キャリア信号 S_c に乗って送信されてくる、書込データあるいは動作指示の列を含む送信信号をキャリア信号 S_c から抽出する。セキュリティ確保のために、外部からの送信信号は、暗号化された状態でキャリア信号に乗せられている。データ処理回路25は、暗号化された送信信号を復号して、外部からの書込データあるいは動作指示を得るための処理を行なう。

【0061】データ処理回路25は、MRAM部2からの読出データを外部へ送信する場合には、送信される読出データを暗号化して、変調回路27へ送出する。変調回路27は、データ処理回路25からの暗号化された読出データを、外部へ送信するキャリア信号に乗せるための処理を行なう。

【0062】MRAM部2は、データ処理回路25で復号された外部からの動作指示に従って、データDATの入出力を実行する。なお、データDATは、上記の読出データおよび書込データを総括的に表記したものである。次に、MRAM部2の構成について説明する。

13

【0063】図4は、MRAM部2の構成を説明する回路図である。図4においては、メモリアレイ部10と、メモリ周辺回路部11のうちのデータ読出およびデータ書込動作に用いられる主な回路部分の構成が代表的に示される。

【0064】図4を参照して、メモリアレイ部10には、MTJメモリセルMCが行列状に配置される。メモリセル行にそれぞれ対応してワード線WLおよびライトディジット線WDLが配置され、メモリセル列にそれぞれ対応して、ビット線BLおよびソース線SLが配置される。MTJメモリセルMCの各々は、図17で説明したのと同様の構成を有し、対応するビット線BLおよびソース線SLの間に接続される、トンネル磁気抵抗素子TMRおよびアクセストラジスタATRを含む。

【0065】トンネル磁気抵抗素子TMRは、既に説明したように、磁化方向に応じた電気抵抗を有する。すなわち、データ読出前においては、各MTJメモリセルにおいて、トンネル磁気抵抗素子TMRは、Hレベル（“1”）およびLレベル（“0”）のいずれかのデータを記憶するために、所定の方向に沿って磁化されて、その電気抵抗は R_{max} および R_{min} のいずれかに設定される。

【0066】各ソース線SLは、接地電圧GNDと結合される。これにより、各アクセストラジスタATRのソース電圧は、接地電圧GNDに固定される。これにより、対応するワード線WLがHレベルに活性化される選択行において、トンネル磁気抵抗素子TMRは、接地電圧GNDにプルダウンされた状態で、ビット線BLと接続される。

【0067】次に、メモリアレイ部10における行選択を実行するための行選択回路40および41の回路構成について説明する。図1に示したメモリ周辺回路部11に含まれる行選択回路40および41は、メモリセル行ごとに配置された行ドライバ80を有する。行ドライバ80は、対応するメモリセル行のデコード結果を示すデコード信号Rdに基づいて、対応するワード線WLおよびライトディジット線WDLの活性化を制御する。

【0068】デコード信号Rdは、図示しないデコード回路によって得られ、対応するメモリセル行が選択された場合に、Hレベル（たとえば、内部電源電圧Vcc）に設定される。すなわち、選択行に対応するノードNdはHレベルに設定され、それ以外では、ノードNdはLレベル（たとえば、接地電圧GND）に設定される。少なくとも、1回のデータ読出動作および1回のデータ書込動作内において、各メモリセル行のデコード信号Rdは、図示しないラッチ回路によってノードNdに保持される。

【0069】行ドライバ80は、ノードNdおよびライトディジット線WDLの一端側の間に設けられるトランジスタスイッチ82と、ノードNdおよびワード線WL

14

の一端側の間に設けられたトランジスタスイッチ84とを有する。トランジスタスイッチ82のゲートには、MTJメモリセルへのデータ書込時にHレベルに活性化される制御信号WEが与えられる。トランジスタスイッチ84のゲートには、MTJメモリセルからのデータ読出時にHレベルに活性化される制御信号REが入力される。

【0070】したがって、各行ドライバ80において、データ書込時には、トランジスタスイッチ82がターンオンするとともにトランジスタスイッチ84がターンオンし、データ読出時にはトランジスタスイッチ84がターンオンするとともにトランジスタスイッチ82がターンオンする。

【0071】さらに、各メモリセル行に対応して、データ書込時を含むデータ読出時以外において、ワード線WLの他端側を接地電圧GNDと結合するためのトランジスタスイッチ90と、ライトディジット線WDLの他端側を、接地電圧GNDと接続するためのトランジスタスイッチ92とが配置される。トランジスタスイッチ90および92は、各メモリセル行において、行ドライバ80とメモリアレイ部10を挟んで反対側に配置される。

【0072】トランジスタスイッチ90は、制御信号REの反転信号 \overline{RE} をゲートに受けて、ワード線WLと接地電圧GNDとの間に電気的に結合される。トランジスタスイッチ90は、内部電源電圧Vccと結合されたゲートを有し、ライトディジット線WDLと接地電圧GNDとの間に電気的に結合される。図2の構成例においては、トランジスタスイッチ82、84、90、92の各々は、NチャネルMOSトランジスタで構成される。

【0073】データ書込時においては、トランジスタスイッチ82は、制御信号WEにตอบสนองしてターンオンして、ノードNdの電圧、すなわち対応するメモリセル行のデコード信号Rdに基づいて、対応するライトディジット線WDLを活性化する。活性化されたライトディジット線WDLは、Hレベルに設定されたノードNdと接続されるので、行ドライバ80からオン状態のトランジスタスイッチ92へ向かう方向にデータ書込電流Ipが流される。

【0074】データ読出時においては、トランジスタスイッチ90によって、各ワード線WLは接地電圧GNDと切離される。さらに、トランジスタスイッチ84は、制御信号REにตอบสนองしてターンオンして、ノードNdの電圧、すなわち対応するメモリセル行のデコード信号Rdに応じて、対応するワード線WLを活性化する。活性化されたワード線WLは、Hレベルに設定されたノードNdと接続される。これにตอบสนองして、選択行に対応するアクセストラジスタATRのノードがターンオンして、ビット線BLおよびソース線SLの間に、磁気トンネル接合部MTJが電気的に結合される。このようにして、メモリアレイ部10における行選択動作が実行され

る。

【0075】同様の構成は、各メモリセル行のワード線WLおよびライトディジット線WDLに対応して同様に設けられる。なお、図4に示されるように、行ドライバ80は、各メモリセル行ごとに、千鳥状に配置される。すなわち、行ドライバ80は、ワード線WLおよびライトディジット線WDLの一端側、およびワード線WLおよびライトディジット線WDLの他端側に、1行ごとに交互配置される。これにより、行ドライバ80を小面積で効率的に配置できる。

【0076】メモリ周辺回路部11は、さらに、ライトドライバ制御回路150と、メモリセル列ごとに配置されたライトドライバWDVa、WDVbと、入力バッファ175と、データ入力端子180bとを含む。

【0077】変復調/セキュリティ部12から送出されるMARM部2への書込データDINは、データ入力端子180bで受けられ、入力バッファ175を介してノードNwへ伝達される。ライトドライバ制御回路150は、動作指示に应答して、ノードNwへ伝達された書込データおよび列選択結果に応じて、メモリセル列ごとに書込制御信号WDTa、WDTbを設定する。

【0078】各メモリセル列において、ライトドライバWDVaは、対応する書込制御信号WDTaに応じて、対応するビット線BLの一端側を、内部電源電圧Vccおよび接地電圧GNDのいずれかで駆動する。同様に、ライトドライバWDVbは、対応する書込制御信号WDTbに応じて、対応するビット線BLの他端側を、内部電源電圧Vccおよび接地電圧GNDのいずれかで駆動する。

【0079】データ書込時において、選択列に対応する書込制御信号WDTaおよびWDTbは、書込データDINのレベルに応じて、HレベルおよびLレベルの一方ずつに設定される。たとえば、Hレベル（“1”）のデータを書込む場合には、ライトドライバWDVaからWDVbへ向かう方向にデータ書込電流+Iwを流すために、書込制御信号WDTaがHレベルに設定され、WDTbがLレベルに設定される。反対に、Lレベル（“0”）のデータを書込む場合には、ライトドライバWDVbからWDVaへ向かう方向にデータ書込電流-Iwを流すために、書込制御信号WDTbがHレベルに設定され、WDTaがLレベルに設定される。以下においては、異なる方向のデータ書込電流+Iwおよび-Iwを総称して、データ書込電流±Iwとも表記する。一方、非選択列においては、書込制御信号WDTaおよびWDTbの各々は、Lレベルに設定される。また、データ書込動作時以外においても、書込制御信号WDTaおよびWDTbは、Lレベルに設定される。

【0080】対応するライトディジット線WDLおよびビット線BLの両方にデータ書込電流Ipおよび±Iwがそれぞれ流されるトンネル磁気抵抗素子TMRにおい

て、データ書込電流±Iwの方向に応じた書込データが磁氣的に書込まれる。同様の構成は、各メモリセル列のビット線BLに対応して同様に設けられる。なお、図2の構成において、ライトドライバWDVaおよびWDVbの駆動電圧を、接地電圧GNDおよび内部電源電圧Vcc以外の電圧とすることも可能である。

【0081】次に、メモリアレイ部10からのデータ読出動作について説明する。メモリ周辺回路部11は、さらに、選択メモリセルの電気抵抗に応じた電圧を伝達するためのデータ線DIOと、データ線DIOおよび各ビット線BLの間に設けられた読出選択ゲートRSGとを含む。読出選択ゲートRSGのゲートには、対応するメモリセル列の選択状態を示すリードコラム選択線RCSLが結合される。各リードコラム選択線RCSLは、対応するメモリセル列が選択された場合にHレベルに活性化される。同様の構成は、各メモリセル列に対応して設けられる。すなわち、データ線DIOはメモリアレイ部10上のビット線BLによって共有される。このような構成とすることにより、選択メモリセルは、データ読出時において、選択列のビット線BLおよび対応する読出選択ゲートRSGを介してデータ線DIOと電氣的に結合される。

【0082】メモリ周辺回路部11は、さらに、データ読出回路100と、データ読出電流供給回路105と、出力バッファ170と、データ出力端子180bとをさらに含む。データ読出電流供給回路105は、内部電源電圧Vccおよびデータ線DIOの間に電氣的に結合された電流供給トランジスタ107を有する。電流供給トランジスタ107は、制御信号/RE（データ読出時にLレベルに活性化）を受けるPチャネルMOSトランジスタで構成される。

【0083】電流供給トランジスタ107は、データ読出時において、データ線DIOを内部電源電圧Vccと結合することによって、データ読出電流Isを生じさせる。データ読出電流Isは、データ線DIO～選択列の読出選択ゲートRSG～選択列のビット線BL～選択メモリセルのトンネル磁気抵抗素子TMR～アクセストランジスタATR～ソース線SL（接地電圧GND）の経路を通過する。これに応じて、データ線DIOには、選択メモリセルの電気抵抗に応じた電圧が生じる。なお、図2においては、最も単純な構成のデータ読出電流供給回路の例を示したが、より精密にデータ読出電流Isを供給するために、たとえばデータ読出電流供給回路105をカレントミラー構成等を有する定電流供給回路で構成することもできる。

【0084】データ読出回路100は、データ線DIOとノードN1およびN2との間に設けられるスイッチ回路110と、ノードN1およびN2にそれぞれ対応して設けられる電圧保持キャパシタ111および112と、センスアンプ120および130と、ラッチ回路140

17

とを有する。

【0085】スイッチ回路110は、1回のデータ読出動作において、ノードN1およびN2のうちの順番に選択される1個ずつを、データ線DIOと接続する。電圧保持キャパシタ111および112は、ノードN1およびN2のそれぞれの電圧を保持するために設けられる。

【0086】センスアンプ120は、ノードN1およびN2の電圧差を増幅する。2段目のセンスアンプ130は、センスアンプ120の出力をさらに増幅してラッチ回路140に伝達する。ラッチ回路140は、所定タイミングにおけるセンスアンプ130の出力をフル振幅まで増幅するとともにラッチして、読出信号RDをノードNrへ出力する。

【0087】1回のデータ読出動作は、ライトディジット線WDLにバイアス電流を流さない状態で実行される第1の読出動作と、選択列のライトディジット線WDLにバイアス電流を流した状態で実行される第2の読出動作とから構成される。特に、データ書込時にライトディジット線WDLを流されるデータ書込電流Ipを当該バイアス電流としても用いることができる。この場合には、データ読出時にバイアス電流を供給するための回路を新たに配置する必要がないので、回路構成を簡略化できる。

【0088】第1の読出動作においては、対応するライトディジット線WDLに電流が流されていない状態（ $I(WDL) = 0$ ）で、選択メモリセルからのデータ読出が実行される。スイッチ回路110は、データ線DIOとノードN1とを接続する。これにより、第1の読出動作におけるデータ線電圧は、電圧保持キャパシタ111によって、ノードN1に保持される。

【0089】次に、第2の読出動作においては、選択行に対応するライトディジット線WDLにバイアス電流を流した状態（ $I(WDL) = I_p$ ）で、すなわち、選択メモリセルに対して磁化困難軸方向に沿った所定のバイアス磁界が作用した状態で、選択メモリセルからのデータ読出が実行される。第2のデータ読出時において、スイッチ回路110は、データ線DIOをノードN2と接続する。したがって、第2のデータ読出時におけるデータ線電圧は、ノードN2に伝達され、電圧保持キャパシタ112によって保持される。

【0090】このようなバイアス磁界を作用させることによって、選択メモリセルのメモリセル抵抗Rcellは、第1の読出動作時、すなわちデータ読出動作前から、記憶データレベルに応じた極性で変化する。これにより、第2の読出動作時におけるデータ線DIOの電圧は、第1の読出動作時よりも上昇あるいは下降する。

【0091】具体的には、選択メモリセルに電気抵抗Rmaxに対応する記憶データ（たとえば“1”）が記憶されている場合には、第1の読出動作時よりも第2の読出動作時の方が、データ線電圧は高くなる。これは、デ

18

ィジット線電流I（WDL）によるバイアス磁界の作用によってメモリセル抵抗Rcellが小さくなるのに応じて、トンネル磁気抵抗素子TMRを流れる電流が増加するためである。これに対して、選択メモリセルに電気抵抗Rminに対応する記憶データ（たとえば“0”）が記憶されている場合には、第1の読出動作時よりも第2の読出動作時の方が、データ線電圧は低くなる。これは、ディジット線電流I（WDL）によるバイアス磁界の作用によってメモリセル抵抗Rcellが大きくなるのに応じて、トンネル磁気抵抗素子TMRを流れる電流が減少するためである。

【0092】センスアンプ120は、ノードN1およびN2にそれぞれ保持された電圧、すなわち第1および第2の読出動作のそれぞれにおけるデータ線電圧を比較する。第2の読出動作の実行後に、センスアンプ120の出力をさらに増幅するセンスアンプ130の出力をラッチ回路140によって増幅およびラッチして読出信号RDを生成することにより、読出信号RDは、選択メモリセルの記憶データに応じたレベルを有することになる。出力バッファ170は、読出信号RDに応じた読出データDOUをデータ出力端子180bへ出力する。MAR部2からの読出データDOUは、データ出力端子180bから変復調／セキュリティ部12へ伝達される。

【0093】このように、図4に示した構成によれば、データ読出動作において、リファレンスセルを用いることなく、選択メモリセルに対するアクセスのみでデータ読出を実行できる。すなわち、同一のメモリセル、同一のビット線、同一のデータ線および同一のセンスアンプ等が含まれる同一のデータ読出経路によって実行される電圧比較に基づいて読出データが生成される。したがって、データ読出経路を構成する各回路における製造ばらつきに起因するオフセット等の影響を回避して、データ読出動作を高精度化できる。

【0094】あるいは、MTJメモリセルの電気抵抗RmaxおよびRminの中間的な電気抵抗を有するリファレンスセル（図示せず）を配置して、リファレンスセルに基づいて生成された基準電圧をノードN1およびN2の一方に入力する構成とすることも可能である。この構成においては、読出信号RDは、選択メモリセルと接続されたデータ線DIOの電圧と、リファレンスセルに基づく基準電圧との比較によって生成される。この場合には、選択メモリセルに対する1回のアクセスのみでデータ読出を実行できるので、データ読出動作を高速化できる。

【0095】次に、薄膜磁性体記憶装置1Aにおけるインダクタンス配線5の配置およびその製造工程について詳細に説明する。

【0096】図5は、インダクタンス配線の配置を説明するための薄膜磁性体記憶装置1Aの断面図である。

19

【0097】図5を参照して、薄膜磁性体記憶装置1Aは、メモリアレイ部10と、周辺回路部9と、アンテナ部4とに大別される。ここで、周辺回路部9は、図1に示したメモリ周辺回路部11および周辺回路部3を総括的に表記したものである。

【0098】薄膜磁性体記憶装置1Aは、半導体基板SUB上に形成される。メモリアレイ部10においては、図21に示した構造図と同様に、金属配線層ML1、ML2およびML3を用いて、ソース線SL、ライトディジット線WDLおよびビット線BLが、MTJメモリセルに対するデータ読出およびデータ書込を実行するための信号配線として設けられる。

【0099】金属配線層ML2に配置されるライトディジット線WDLは、図2(b)に示されたインダクタンス配線5の断面構造と同様に、その下面部および側面部を磁性体膜7によって覆われている。これにより、ライトディジット線WDLのインダクタンス値を増大させることができるので、必要なデータ書込磁界を発生するのに必要な電流量を抑制して、低消費電力化を図ることができる。さらに、ライトディジット線WDLによって生じる磁束の向きを直上側に集中させることができるので、非選択の隣接メモリセルに対するデータ書込磁界の影響を低減させることができる。これにより、データ誤書込の発生を防止して、動作の信頼性を向上できる。また、トンネル磁気抵抗素子TMRは、磁性体膜8で形成される。メモリアレイ部10のその他の部分の構造は、図21に示した構造図と同様であるので、詳細な説明は繰返さない。

【0100】図6は、磁性体膜8の構成例を示す概念図である。図6を参照して、磁性体膜8は、自由磁化層VLを形成する薄膜であるNiFe膜と、磁気トンネル接合を実現するための絶縁膜であるトンネルバリアTBとして設けられるAl-Al₂O₃膜とを含む。たとえば、このAl-Al₂O₃膜の厚みは、0.9~2.1[nm(10⁻⁹m)]程度に設定される。

【0101】磁性体膜8は、さらに、固定磁化層FLとして用いられるNiFe膜と、固定磁化層FLおよび自由磁化層VLとトンネルバリアTBとの間にそれぞれ形成されるCo膜と、固定磁化層FLの磁化方向を固定するための反強磁性体膜PLとして設けられるFeMn膜とを含む。既に説明したように、このように形成された磁性体膜8によって、各メモリセルが磁気的にデータ記憶を実行するためのトンネル磁気抵抗素子TMRが構成される。すなわち、このような磁性体膜8は薄膜磁性体記憶装置において必然的に形成する必要がある。

【0102】再び図5を参照して、アンテナ部4において、インダクタンス配線5は、ライトディジット線WDLと同一の金属配線層ML2に形成される。インダクタンス配線5は、図2(b)に示された断面構造を有し、ライトディジット線WDLと同様に、金属配線6と、金

20

属配線6の下面部および側面部を覆うようにして形成された磁性体膜7とを有する。これにより、インダクタンス配線5のインダクタンス値が増大される。

【0103】さらに、アンテナ部4において、インダクタンス配線5の上層側に、メモリアレイ部10と同様に、磁性体膜8が形成される。メモリアレイ部10に形成された磁性体膜8が各メモリセルの形状に合わせて微細加工されるのに対し、アンテナ部4に形成された磁性体膜8は、インダクタンス配線5のインダクタンス値を増大するために設けられているので、特に微細加工を施す必要はない。このため、アンテナ部4においては、磁性体膜8は、アンテナ部4の形状に応じて平面状に設けられよい。

【0104】これに対して、周辺回路部9においては、信号配線における信号伝播遅延の発生を考慮して、ライトディジット線WDLおよびインダクタンス配線5と同一の金属配線層ML2に配置される金属配線360に対して、磁性体膜7は非形成とされる。さらに、磁性体膜8についても周辺回路部9においては形成されない。これにより、周辺回路部9に設けられる金属配線360のインダクタンス値を抑制して、信号伝播遅延を低減することができる。

【0105】次に、図5に示した構造の薄膜磁性体記憶装置の製造工程について説明していく。

【0106】図7、8および図9は、図5に示した薄膜磁性体記憶装置の製造工程を説明する第1、第2および第3の断面図である。

【0107】図7を参照して、工程(0)は、ソース線SLが配置される金属配線層ML1の形成が完了した時点に相当する。工程(1)においては、金属配線層ML2を形成するための準備として、金属配線層ML1上に、SiO₂等によって形成される層間絶縁膜350が設けられる。

【0108】次に工程(2)において、ライトディジット線WDLが配置される領域351、トンネル磁気抵抗素子TMRおよびアクセストランジスタATRの間のコンタクトを確保するための領域352、信号配線360を形成するための領域353、およびインダクタンス配線5を形成するための領域354にデュアルダマシン加工が施される。

【0109】さらに、工程(3)において、磁性体膜7が成膜される。磁性体膜7は、磁性体およびTiN等からなる複数層の膜として形成されるのが一般的である。磁性体膜は、スパッタリングもしくはCVD(Chemical Vapor Deposition)によって形成される。なお、工程(3)に先立って、周辺回路部9に対応してレジスト355が形成される。これにより、レジスト355が形成された領域は保護されて、磁性体膜7は形成されない。工程(3)後に、レジスト355はアッシング等によって除去される。

【0110】図8を参照して、工程（4）においては、磁性体膜7の上層に、金属配線を形成するためのたとえばCu層356がさらに形成される。Cu層356は、ダマシ加工された領域にメッキによって埋込まれて、金属配線を形成する。次に、工程（5）において、たとえばCMP（Chemical Mechanical Polishing）によって、Cu層356および磁性体膜7が研磨されて、金属配線層ML2に形成される配線群の平坦化および形状加工等が行なわれる。これにより、金属配線層ML2には、メモリアレイ部10においてライトディジット線WDLが形成され、周辺回路部9において信号配線360が形成され、アンテナ部4においてインダクタンス配線5が形成される。

【0111】次に、工程（6）では、メモリアレイ部10において、トンネル磁気抵抗素子TMRとアクセストランジスタATRとの間の電気的な結合を確保するためのコンタクトホール340およびストラップ345が形成される。一方、周辺回路部9およびアンテナ部4においては、金属配線層ML2上に層間絶縁膜（SiO₂等）357が形成される。

【0112】図9を参照して、次の工程（7）においては、トンネル磁気抵抗素子TMRに相当する磁性体膜8が形成され、RIE（Reactive Ion Etching）等によりパターニングされる。これにより、メモリアレイ部10において磁性体膜8はメモリセル形状に合わせて微細加工される。これに対し、アンテナ部4においては、磁性体膜8は、平面状に形成される。次の工程（8）において、磁性体膜8上に形成された層間絶縁膜370に対して、上層配線を設けるための領域371および372と、上層配線とトンネル磁気抵抗素子TMRとの間のコンタクトを確保するための領域373について、ダマシ加工が実行される。

【0113】さらに、工程（9）において、ダマシ加工された領域に、金属配線材料としてCu層等をメッキによって形成し、さらにCMPで加工することによって、金属配線層ML3が形成される。この結果、金属配線層ML3において、メモリアレイ部10に対応してビット線BLが形成され、アンテナ部4および周辺回路部9に対して、金属配線385が設けられる。

【0114】このような工程を経て、実施の形態1に従う薄膜磁性体記憶装置を、インダクタンス配線5のインダクタ値を増大させるための専用工程を特に設けることなく、半導体基板上に形成することができる。すなわち、インダクタンス値を増大させた配線によって形成されたアンテナを搭載することによって、小型・薄形状で通信能力が高い無線チップを、製造工程の複雑化を招くことなく作製することができる。また、薄膜磁性体記憶装置は、EEPROM等の様に高電圧を必要とせず、低消費電力で動作可能であるので、薄膜磁性体記憶装置を用いた無線チップに対しては、外部からの電波によ

て動作電源を十分に供給できる。このため、電池寿命を考慮する必要がなく、半永久的に繰り返し使用することも可能である。

【0115】【実施の形態1の変形例1】図10は、実施の形態1の変形例1に従う薄膜磁性体記憶装置の構造を説明する断面図である。

【0116】図10を参照して、実施の形態1の変形例1に従う薄膜磁性体記憶装置においては、メモリセルを構成するトンネル磁気抵抗素子TMRは、最上層の金属配線層ML_nと、その下層の金属配線層ML（_{n-1}）との間に設けられる。すなわち、ライトディジット線WDLおよびインダクタンス配線5は、金属配線層ML（_{n-1}）に設けられる。メモリアレイ部10においては、ビット線BLが、最上層の金属配線層ML_nに設けられる。

【0117】一般的に、周辺回路部9およびアンテナ部4において、金属配線層ML（_{n-1}）およびML_n等の最上層部分に設けられる金属配線は、信号伝播遅延が問題とならない電源配線（代表的には、図3に示した電源配線15）として用いられる。したがって、実施の形態1の変形例1に従う薄膜磁性体記憶装置においては、ライトディジット線WDLおよびインダクタンス配線5と同一の金属配線層ML（_{n-1}）に設けられる信号配線386について、ライトディジット線WDLおよびインダクタンス配線5と同様に、その下面部または、下面部および側面部を磁性体膜7で覆う構成とすることができる。これにより、図7に示された工程（2）および工程（3）の間に相当する、金属配線層ML（_{n-1}）を形成する工程前において、周辺回路部9に対応する領域にレジスト355を形成する必要がないので、製造工程を簡略化することが可能である。

【0118】【実施の形態1の変形例2】図11は、本発明の実施の形態1の変形例2に従う薄膜磁性体記憶装置1Bの全体構成を示す概略ブロック図である。

【0119】図11を参照して、実施の形態1の変形例2に従う薄膜磁性体記憶装置1Bは、図1に示された薄膜磁性体記憶装置1Aと同様に、メモリアレイ部10と、メモリ周辺回路部11と、変復調／セキュリティ部12と、送受信部13と、電源制御部14と、アンテナ部4とを備える。図5で説明したように、実施の形態1に従う薄膜磁性体記憶装置1Aにおいては、トンネル磁気抵抗素子TMRに相当する磁性体膜8を、アンテナ部4に対応する領域には配置するものの、周辺回路部9に対応する領域には配置しなかった。

【0120】これに対して、実施の形態1の変形例2に従う薄膜磁性体記憶装置1Bにおいては、メモリ周辺回路部11、変復調／セキュリティ部12、送受信部13および電源制御部14から構成される周辺回路部9全体において、磁性体膜8が平面上に形成される。

【0121】図12は、図11に示された薄膜磁性体記

23

憶装置1Bの断面図である。図12と、図5に示された実施の形態1に従う薄膜磁性体記憶装置の断面図との比較から理解されるように、実施の形態1の変形例2に従う構成においては、周辺回路部9においても磁性体膜8が形成されている点が、実施の形態1に従う構成と異なる。すなわち、実施の形態1の変形例2に従う薄膜磁性体記憶装置の製造工程においては、図9に示された工程(7)に対応する製造工程において、メモリアレイ部10においては、メモリセルの形状に合わせて磁性体膜を微細加工してトンネル磁気抵抗素子TMRとして用い、周辺回路部9およびアンテナ部4の両方において、磁性体膜8を平面状に形成する。

【0122】このような構成とすることにより、アンテナ部4を構成するループ状に形成されたインダクタンス配線5のインダクタンス値をさらに向上させることができる。これにより、アンテナ部4の通信能力を向上させることができる。言い換えれば、同一の通信能力を得るために必要なインダクタンス配線5の巻数を削減することができるので、無線チップとして用いられる薄膜磁性体記憶装置をさらに小型化できる。

【0123】【実施の形態2】実施の形態2においては、実施の形態1またはその変形例に従う薄膜磁性体記憶装置を用いた、流通管理システムの構成について説明する。

【0124】図13は、実施の形態2に従う流通管理システムの構成を説明する概念図である。

【0125】図13を参照して、実施の形態2に従う流通管理システムは、実施の形態1またはその変形例に従う薄膜磁性体記憶装置1A(1B)が一体的に埋込まれた流通品600と、データベース610と、データ読出装置620と、データ書込装置630とを備える。

【0126】流通品600には、無線チップとして用いられる薄膜磁性体記憶装置1Aまたは1Bを、非接触型のタグチップとして設けられる。実施の形態2においては、薄膜磁性体記憶装置1Aまたは1Bを、単にタグチップ1A(1B)とも称する。タグチップ1A(1B)は、流通品600の管理データを不揮発的に記憶する。管理データには、当該流通品の製造、販売および保守等に関するデータが含まれる。

【0127】特に、実施の形態1またはその変形例に従う、アンテナ部を小型化可能な薄膜磁性体記憶装置をタグチップとして用いることにより、流通品の適用範囲を拡大できる。たとえば、有価証券等の紙質の流通品についても、非接触型タグチップの埋込みが可能となる。あるいは、指輪のような流通品については、台座と石との隙間にタグチップを装着することができ、ネックレスのような流通品については、石と石とを接続するチェーン部にタグチップを装着することができる。

【0128】図14は、紙質の流通品へのタグチップの埋込み方式を説明する概念図である。

24

【0129】図14を参照して、紙質の流通品600は、微小薄膜化が可能な、本発明の実施の形態1に従うタグチップ1A(1B)を表紙601および裏紙602の間に貼り合わせるようにして埋込む。これにより、紙質の流通品600に対して、非接触型タグチップを一体的に埋込むことが可能となる。

【0130】再び図13を参照して、データベース610は、管理データの登録および照合を行なう。データ読出装置620は、タグチップ1A(1B)上に形成されたアンテナを介して送受信される電波によって、当該タグチップが埋め込まれた流通品600に関する管理データを非接触に読出す。データ読出装置620によって読出された管理データは、データベース610によって照合できる。

【0131】データ書込装置630は、タグチップ1A(1B)上に形成されたアンテナを介して送受信される電波によって、流通品600に関する管理データをタグチップ1A(1B)へ非接触に書込む。データ書込装置630によって書込まれる管理データは、データベース610へ登録される。

【0132】このような構成とすることにより、たとえば流通前に流通品600に対して、データベースに登録される管理データをデータ書込装置630によって書込んだ後に、流通経路に提供することができる。これにより、流通経路の任意の段階において、データ読出装置620を用いて、管理データの照合を行なうことができる。必要に応じて、データ書込装置630を流通の途中段階で用いれば、流通途中で生じた変更を反映して、管理データを修正することも可能である。

【0133】さらに、流通品600が繰返し流通される場合には、データ書込装置630によって新たな管理データをタグチップ1A(1B)に書込むとともに、データベース610に登録した上で、再び流通経路に供すればよい。

【0134】このように、小型化されたアンテナを内蔵する薄膜磁性体記憶装置をタグチップとして用いて流通管理システムを構成することによって、非接触な管理データの授受によって流通管理を行なうことが可能な流通品の範囲を拡大することができる。また、外部からの電波によってタグチップの動作電源を十分に供給できるため、電池寿命を考慮する必要がなく、半永久的に繰り返し使用することも可能である。

【0135】【実施の形態3】実施の形態3においては、実施の形態1およびその変形例で示した薄膜磁性体記憶装置をIDチップとして用いる製造工程管理システムの構成について説明する。

【0136】図15は、実施の形態3に従う製造工程管理システムの構成を説明する概念図である。

【0137】図15を参照して、実施の形態3に従う製造工程管理システムは、実施の形態1またはその変形例

25

に従う薄膜磁性体記憶装置1A(1B)が付加された半製品605と、半製品605が経過する所定の複数の製造工程700~706と、工程管理装置710とを備える。

【0138】製造工程に投入された半製品605には、無線チップとして用いられる薄膜磁性体記憶装置1Aまたは1Bが、当該半製品の工程管理データを記憶するための非接触型のID(Identification)チップとして付加される。実施の形態3においては、半製品605に付加された薄膜磁性体記憶装置1A(1B)を、単にIDチップ1A(1B)とも称する。

【0139】工程管理装置710は、IDチップ1A(1B)との間で、工程管理データを授受する。実施の形態1およびその変形例で説明したように、工程管理装置710とIDチップ1A(1B)との間におけるデータ授受は、IDチップ上に形成されたインダクタンス配線によって構成されるアンテナ部を介して送受信される電波に基づいて実行される。半製品605は、所定の順序に従って、製造工程700~706のそれぞれを経由する。すべての製造工程を経由した後に、半製品605は、IDチップ1A(1B)が除去されて、最終製品605Fとなり出荷される。

【0140】図16は、実施の形態3に従う製造工程管理方法を説明するフローチャートである。

【0141】図16を参照して、半製品が工程に投入されるときに(ステップS100)、工程管理データを不揮発的に記憶するためのIDチップが付加される(ステップS110)。IDチップに記憶される工程管理データには、IDチップが組込まれた半製品が経過すべき製造工程の順序や、各製造工程の経過実績等が記憶される。

【0142】図15に示した製造工程700~706のうちの1つに半製品605が送られると、工程管理装置710は、半製品605に付加されたIDチップ1A(1B)に対するデータ読出動作によって、工程管理データを読取る(ステップS120)。読取られた工程管理データに基づいて、半製品が当該製造工程へ正しく送られてきたかどうかを判断することができる。正しい製造工程に送られてきた場合には、当該半製品に対して、当該製造工程における処理ステージが実行される(ステップS130)。

【0143】当該処理ステージの完了後に、少なくとも当該製造工程を通過したことを示す情報が、IDチップ1A(1B)へ書込まれる。この際に、当該製造工程における製造実績等を併せて書込むことも可能である。さらに、IDチップ1A(1B)から工程管理データを読取ることによって、当該半製品が所定の製造工程をすべて完了したかどうか判断される(ステップS140)。さらに経過すべき製造工程が残っている場合、すなわち工程未完了である場合には、残りの製造工程へ半

26

製品が送られて、ステップS120~ステップS140の処理が再び施される。これに対して、すべての製造工程が完了している場合には、IDチップは除去される

(ステップS150)。これにより、半製品が最終製品となって、製造工程が完了する(ステップS200)。一方、半製品から除去されたIDチップ1A(1B)は、工程管理データを再登録することによって、再び他の半製品に対して付加することができる(ステップS160)。

【0144】このような構成とすることにより、無線通信機能を備えたデータ書換可能な不揮発型メモリである薄膜磁性体記憶装置をIDチップとして用いることにより、小型化かつ低消費電力化された非接触型IDチップを用いた工程管理システムを構成できる。特に、実施の形態1およびその変形例に従う薄膜磁性体記憶装置を用いたIDチップは、薄膜状に小型化できるため、微小または薄膜製品の製造工程管理システムへの適用できる。また、外部からの電波によってIDチップの動作電源を十分に供給できるため、電池寿命を考慮する必要がなく、半永久的に繰り返し使用することも可能である。

【0145】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0146】

【発明の効果】請求項1から4に記載の薄膜磁性体記憶装置は、薄膜磁性体記憶装置の製造工程に必然的に含まれる磁性体膜の製造工程を利用して、導電性配線のインダクタンス値の増大を図ることができる。

【0147】請求項5および6に記載の薄膜磁性体記憶装置は、インダクタンス値が増大されたインダクタンス配線を用いて、外部と通信するためのアンテナ部を構成するので、小型・薄形状で形成されたアンテナ部によって、通信能力を確保できる。

【0148】請求項7に記載の薄膜磁性体記憶装置は、アンテナ部で受信された電波による誘導電流によって動作電源電圧を確保できる。この結果、EEPROM等の様に高電圧を必要とせずに低消費電力で動作可能な薄膜磁性体記憶装置を、電池寿命を考慮することなく、半永久的に使用することができる。

【0149】請求項8および9に記載の薄膜磁性体記憶装置は、アンテナ部を構成する導電性配線のインダクタンス値をさらに増大させることができる。したがって、アンテナ部をさらに小型化して、薄膜磁性体記憶装置の小型化を図ることができる。

【0150】請求項10および12に記載の薄膜磁性体記憶装置は、磁性体メモリセルへデータ書込磁界を印加するための書込信号配線のインダクタンス値が増大する

ので、必要なデータ書込磁界を発生するのに必要な電流量を抑制して、低消費電力化を図ることができる。また、書込信号配線によって生じる磁束の向きを直上側に集中させることができるので、隣接メモリセルに対するデータ書込磁界の影響を低減させることができる。

【0151】請求項11に記載の薄膜磁性体記憶装置は、周辺回路に対応する領域に、アンテナ部を構成する導電性配線および、書込信号線と同一層に形成された配線における信号伝播遅延を低減できる。

【0152】請求項13に記載の無線チップは、アンテナ部によって送受信される電波に基づいて、磁性体メモリセルに対するデータ入出力を実行できる。したがって、EEPROM等の様に高電圧を必要とせず低消費電力で動作可能な薄膜磁性体記憶装置を用いて、外部との通信機能を備えた無線チップを提供できる。

【0153】請求項14に記載の流通管理システムは、小型化されたアンテナを内蔵する薄膜磁性体記憶装置をタグチップとして用いた、非接触な管理データの授受によって流通管理を行なうことができる。特に、アンテナを薄型状に小型化することによって、流通管理を行なうことが可能な流通品の範囲を拡大できる。さらに、薄膜磁性体記憶装置を用いたタグチップでは、外部からの電波によって動作電源を十分に供給できるため、電池寿命を考慮する必要がない。

【0154】請求項15および16に記載の製造工程管理システムは、小型化されたアンテナを内蔵する薄膜磁性体記憶装置をIDチップとして用いた、非接触な工程管理データの授受によって製造工程管理を行なうことができる。特に、特に、アンテナを薄型状に小型化することによって、微小または薄膜製品の製造工程へも適用することができる。さらに、薄膜磁性体記憶装置を用いたIDチップでは、外部からの電波によって動作電源を十分に供給できるため、電池寿命を考慮する必要がない。

【0155】請求項17に記載の製造工程管理システムは、完成品から除去されたIDチップへ工程管理データを再登録して別の半製品に付加するので、請求項16が奏する効果に加えて、IDチップを半永久的に繰り返し使用することも可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う薄膜磁性体記憶装置1Aの構成を示す概略ブロック図である。

【図2】 図1に示されたインダクタンス配線の配置および構造を示す概念図である。

【図3】 図1に示された周辺回路部の構成を詳細に説明するためのブロック図である。

【図4】 図1に示されたMRAM部の構成を説明する回路図である。

【図5】 インダクタンス配線の配置を示すための薄膜磁性体記憶装置の断面図である。

【図6】 図5に示された磁性体膜8の構成例を示す概

念図である。

【図7】 図5に示した薄膜磁性体記憶装置の製造工程を説明する第1の断面図である。

【図8】 図5に示した薄膜磁性体記憶装置の製造工程を説明する第2の断面図である。

【図9】 図5に示した薄膜磁性体記憶装置の製造工程を説明する第3の断面図である。

【図10】 実施の形態1の変形例1に従う薄膜磁性体記憶装置の構造を説明する断面図である。

【図11】 本発明の実施の形態1の変形例2に従う薄膜磁性体記憶装置の全体構成を示す概略ブロック図である。

【図12】 実施の形態1の変形例2に従う薄膜磁性体記憶装置の断面図である。

【図13】 実施の形態2に従う流通管理システムの構成を説明する概念図である。

【図14】 紙質の流通品へのタグチップの埋込み方式を説明する概念図である。

【図15】 実施の形態3に従う製造工程管理システムの構成を説明する概念図である。

【図16】 実施の形態3に従う製造工程管理方法を説明するフローチャートである。

【図17】 MTJメモリセルの構成を示す概略図である。

【図18】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図19】 データ書込電流とMTJメモリセルの磁化状態との関係を示す概念図である。

【図20】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図21】 半導体基板上に作製されたMTJメモリセルの構造図である。

【図22】 図21に示した構造を有するMTJメモリセルの上面図である。

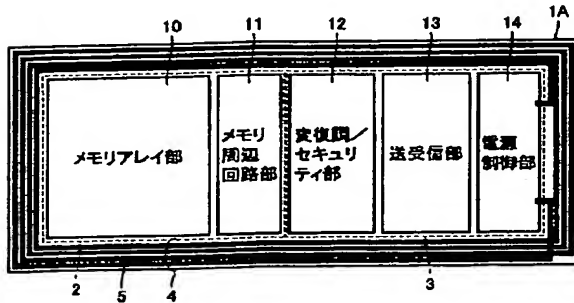
【符号の説明】

1A、1B 薄膜磁性体記憶装置（タグチップ、IDチップ）、2 MRAM部、3 周辺回路部、4 アンテナ部、5 インダクタンス配線、6 金属配線、7、8 磁性体膜、9 周辺回路部、10 メモリアレイ部、11 メモリ周辺回路部、12 セキュリティ部、13 送受信部、14 電源制御部、15 電源配線、16 整流器、17 リファレンス生成回路、18 シャントレギュレータ、19 電源検出回路、20 通信コントロール回路、21 キャリア抽出回路、22 送信回路、23 発振器、24 同期調整回路、25 データ処理回路、26 復調回路、27 変調回路、385、386 金属配線、600 流通品、605 半製品、605F 最終製品、610 データベース、620 データ読出装置、630 データ書込装置、700～706 製造工程、710 工程管理装置、ATR アクセ

29

ストランジスタ、FL 固定磁化層、MCメモリセル、
ML1, ML2, ML3, ML(n-1), MLn 金
属配線層、PL 反強磁性体膜、SUB 半導体基板、*

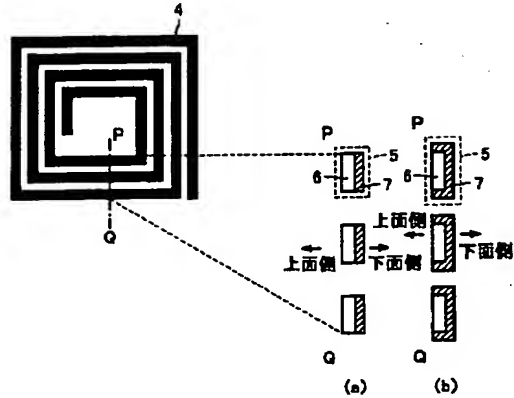
【図1】



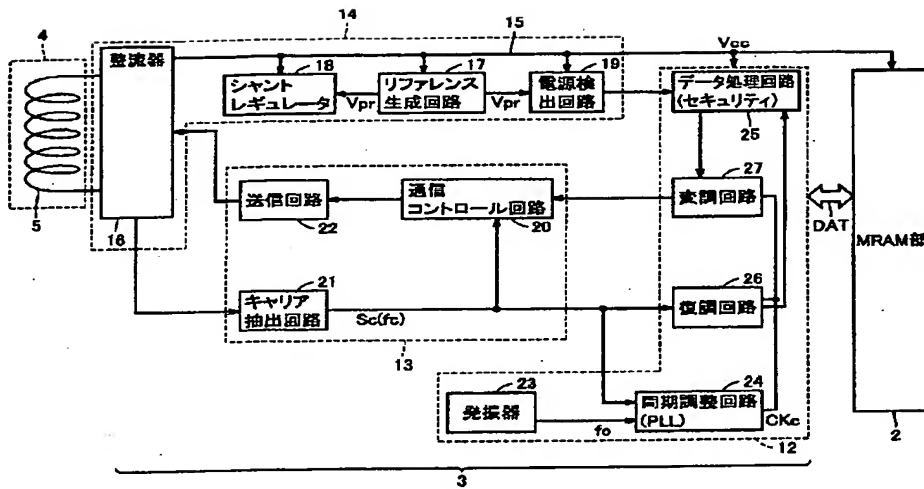
30

*TB トンネルバリア、TMRトンネル磁気抵抗素子、
VL 自由磁化層、Vcc 動作電源電圧、WDL ラ
イトディジット線、WL ワード線。

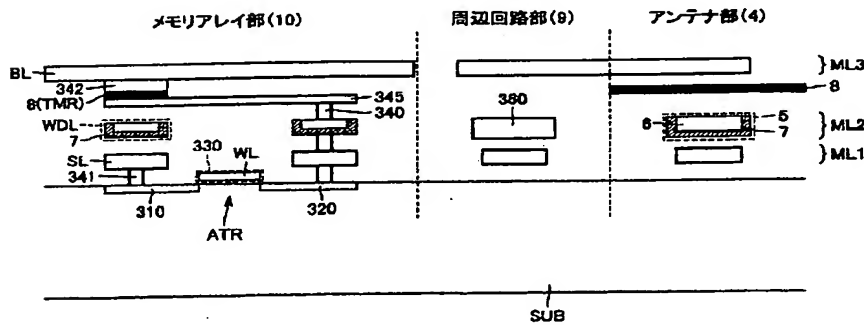
【図2】



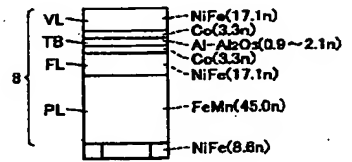
【図3】



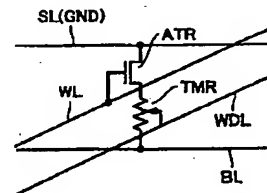
【図5】



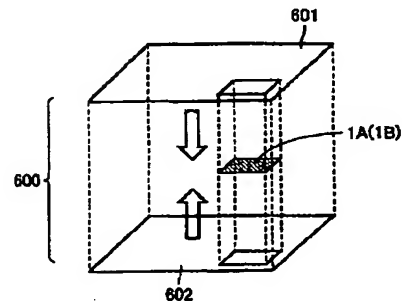
【図6】



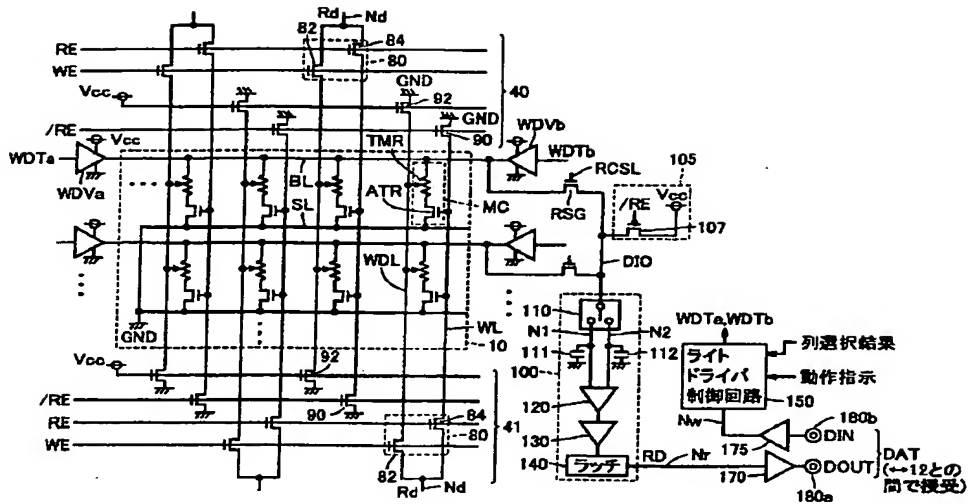
【図17】



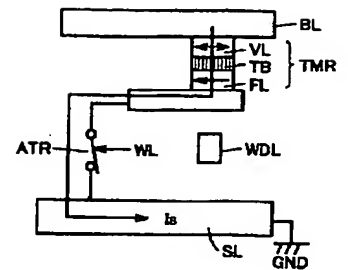
【図14】



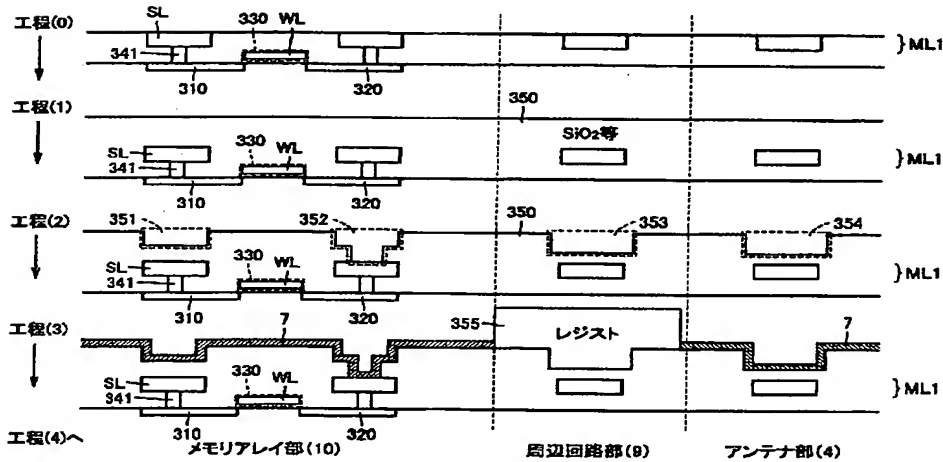
【図4】



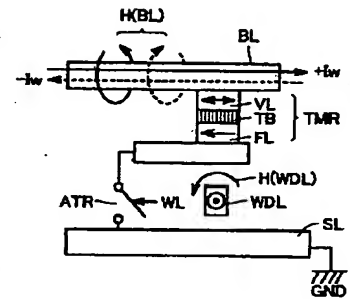
【図20】



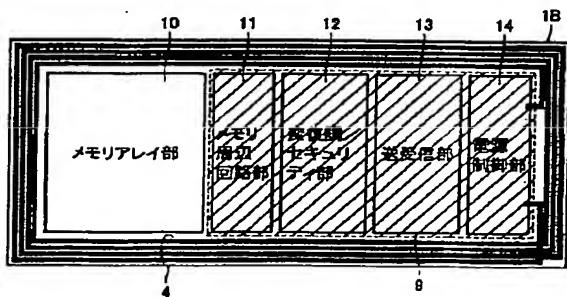
【図7】



【図18】



【図11】



【図19】

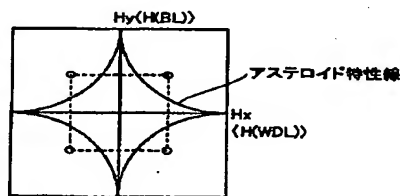


Figure 1 illustrates the manufacturing steps of a semiconductor device, showing cross-sectional views of the memory array (10), peripheral circuit (9), and antenna (4) regions.

The steps shown are:

- 工程(4) (Step 4): Initial structure with layers 310, 320, 330, 341, 356, and 7.
- 工程(5) (Step 5): Addition of WDL and SL.
- 工程(6) (Step 6): Addition of WDL and SL.
- 工程(7) (Step 7): Final structure with layers 310, 320, 330, 341, 345, 340, 357, 360, and 7.

The layers are labeled as ML1 and ML2.

Figure 1 illustrates the manufacturing steps of a semiconductor device, divided into three main sections: Memory Array Section (メモリアレイ部(10)), Peripheral Circuit Section (周辺回路部(9)), and Antenna Section (アンテナ部(4)).

Memory Array Section (メモリアレイ部(10)):

- 工程(7) (Step 7):** Shows the initial structure with word lines (WL), bit lines (BL), and memory cells (310, 320, 330, 340, 341, 342, 345).
- 工程(8) (Step 8):** Shows the formation of a protective layer (373) and the completion of the memory array structure.
- 工程(9) (Step 9):** Shows the final structure with the memory array and peripheral circuit components.

Peripheral Circuit Section (周辺回路部(9)):

- 工程(7) (Step 7):** Shows the initial structure with peripheral circuit components (360, 370, 371, 372, 373, 380, 385).
- 工程(8) (Step 8):** Shows the formation of a protective layer (373) and the completion of the peripheral circuit structure.
- 工程(9) (Step 9):** Shows the final structure with the peripheral circuit and antenna components.

Antenna Section (アンテナ部(4)):

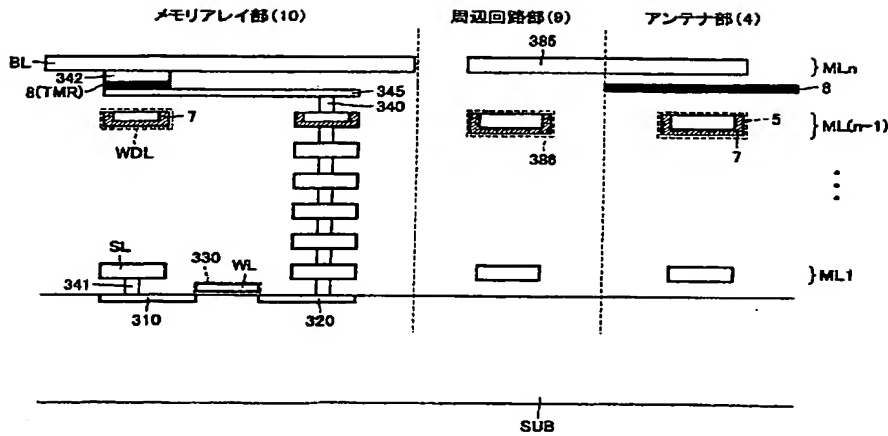
- 工程(7) (Step 7):** Shows the initial structure with antenna components (5, 6, 7, 8, ML1, ML2, ML3).
- 工程(8) (Step 8):** Shows the formation of a protective layer (373) and the completion of the antenna structure.
- 工程(9) (Step 9):** Shows the final structure with the antenna and peripheral circuit components.

The plan view shows the memory array portion (10) divided into three main sections by vertical dashed lines:

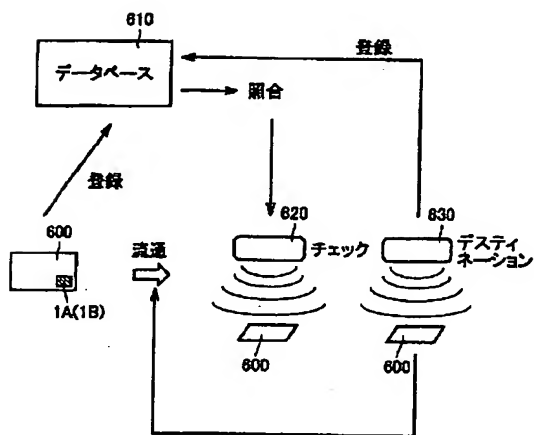
- Left Section (Memory Array Portion 10):** Contains a bit line (BL) at the top. Below it are two rows of memory cells. The first row includes a TMR element (labeled 342) and a word line (WL) segment (labeled 7). The second row includes a sense line (SL) and another WL segment (labeled 330). Access transistors (ATR) are shown as small rectangles connecting the WL segments to the bit line. Other labels include 341, 310, 320, 340, and 345.
- Middle Section (Peripheral Circuit Portion 9):** Contains a horizontal bar labeled 385 and two rectangular blocks labeled 360.
- Right Section (Antenna Portion 4):** Contains a complex antenna structure with layers ML1, ML2, and ML3. It features a central rectangular pad (labeled 6) surrounded by a ring-like structure (labeled 5 and 7).

A substrate layer (SUB) is indicated at the bottom of the diagram.

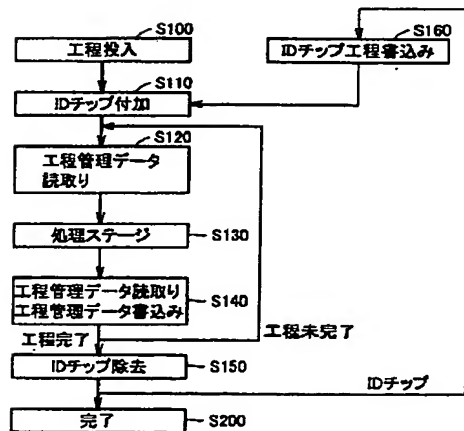
【図10】



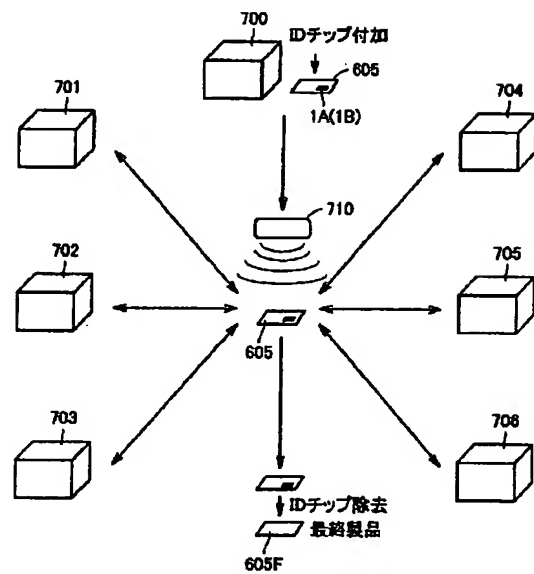
【図13】



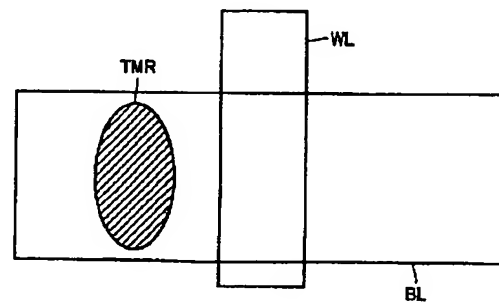
【図16】



【図15】



【図22】



(51)Int.Cl. 7
G 1 1 C 11/15
H 0 1 L 43/08

F I
G O 6 K 19/00

H
K